

**Excerpts from Japanese Patent Laid-Open Publication No. Sho 60-64395**

Page 8, lines 11 - 17

On the other hand, it is not possible to realize a motion image including a gray scale by an active panel for digital display shown in Fig. 2 (2), and, it is necessary to increase the number of storing circuits within a pixel for storing image data which is input in a form of a digital signal and perform the control of the phase of the common signal, control of the applied voltage, or division of a pixel into small regions.

Page 9, line 6 - page 18, line 14

The present invention realizes both analog display and digital display not by using one of the analog display active panel or the digital display active panel for the other form of display, but is targeted to realize, in one panel, a display structure having characteristics of both of the display forms by using the circuits of two display methods without a change or by combining the display methods by a simplified circuit structure.

Fig. 3 shows a structure of a circuit in a pixel according to the present invention. A pixel 34 of the present invention is formed of two independent display circuits (an analog display circuit 35 and a digital display circuit 36). Each display circuit applies a signal process as described with reference to Figs. 1 (1) and 1 (2). Thus, both an analog display and a digital display can be realized in the present invention. These two display circuits, input signal lines, etc. may be shared in order to simplify the circuits, but basically operates in a manner similar to the circuits of Figs. 1 (1) and 1 (2).

In Fig. 3, an analog image signal (Da) 37 is input to the analog

display circuit 35 and digital image signals (Dd and Dd) 38 and 39 are input to the digital display circuit 36. These signals are written to a data storing capacitor and a memory cell by a pixel selection signal (P-Sel.) 40. Reference numeral 41 denotes a common signal which is input to the digital display circuit.

These two display circuits are selected by a digital-analog selection signal (DA-Sel.) 42 and only one of the signals (43 and 44) from one of the display circuits is output and applied to a pixel electrode 45. In addition, a signal 46 to be applied to a transparent electrode of upper glass is also set to one of an intermediate potential and a common signal.

Fig. 4 shows a specific circuit of a pixel having a structure of Fig. 3. Reference numerals 2 - 24 denote structures similar to those in Figs. 1 (1) and 1 (2). A portion surrounded by a two-dots-and-chain line 47 is the analog display circuit equivalent to that of Fig. 1 (1) and a portion surrounded by a dot-and-chain line 48 is the digital display circuit equivalent to that of Fig. 1 (2). In this circuit structure, analog display and digital display are selected by a digital-analog selection signal (DA-Sel.) 49 opening and closing n-channel transistors 50 and 51, and only a signal from one of the display circuits is applied to the pixel electrode 6.

Fig. 5 shows a second example of a pixel circuit in which the clocked gate for opening and closing the common signal is changed to an n-channel transistor and the signal lines for common (COM.) signal and the analog image signal (Da) are made common. Reference numeral 52 denotes a pixel and digital image signals (Dd and Dd) 10 and 11 are written to the memory cells (15 and 16) by a pixel selection signal (Pd-Sel.) 53 during digital display, similar to Fig. 1 (2). Data 54 in the memory cell is input via NOR gates (57 and 58) of the digital-analog selection signal (DA-Sel.) 55 and a pixel selection signal during analog display (Pa-Sel.) 56 to gates of two n-channel transistors 61 and 62 which control opening and

closing of a common signal (COM.) 59 and a COM signal 60 which is an inverted signal of the common signal 59.

When the digital-analog selection signal (DA-Sel.) 55 is 0 and the pixel selection signal during analog display (Pa-Sel.) 56 is 0, the two NOR gates 57 and 58 become simple inverters and the circuit in the pixel operates in a manner similar to that in Fig. 1 (2). In a common signal-analog image signal controlling circuit 63 shown in a lower part of the figure also, an n-channel transistor 65 is switched ON and an n-channel transistor 66 is switched OFF by the digital-analog selection signal (DA-Sel.) 64 and COM and COM signal are supplied to each pixel.

When the digital-analog selection signal (DA-Sel.) 64 is changed to 1, an output 67 of the NOR gate 57 becomes 0 regardless of the data within the memory cell and an n-channel transistor 61 is switched OFF. In this configuration, when the pixel selection signal during analog display is changed to 1, an output 68 of the NOR gate 58 also becomes 0 and an n-channel transistor 62 is also switched OFF. In this process, in the common signal-analog image signal controlling circuit 63, the n-channel transistor 65 is switched OFF and the n-channel transistor 66 is switched ON and an analog image signal (Da) 70 is connected to a COM signal line 69. When the pixel selection signal during analog display (Pa-Sel.) 56 is changed from 1 to 0, the output 68 of the NOR gate 58 becomes 1 and the n-channel transistor 62 is switched ON. The analog image signal (Da) 70 is written in a data storing capacitor 71 and an analog image signal is applied to a pixel electrode 72. The pixel circuit in this state (Da-Sel.) is equivalent to the analog display circuit of Fig. 1 (1).

Fig. 6 shows states of the pixel circuit corresponding to various values of the digital-analog selection signal (Da-Sel.) and the pixel selection signal during analog display (Pa-Sel.). The state of I is equivalent to the digital display circuit of Fig. 1 (2). When the DA-Sel. is set to 1, the state transitions to an analog display

state, and when Pa-Sel. is set to 1 (state of IV), the state is in stand-by for analog display (no data is written) and when Pa-Sel. is set to 0 (state of III), image data for analog display is written.

Fig. 7 shows a change of states of the pixel circuit from digital display state to the analog display state and back to the digital display state. The reference indexes I - IV corresponds to the states shown in Fig. 6.

Fig. 8 shows an example pixel circuit which is further simplified. When the pixel selection signal during analog display (Pa-Sel.) 73 is 1, an n-channel transistor 74 is switched ON and the pixel circuit is similar to the circuit of Fig. 1 (2) except that the clocked inverter of Fig. 1 (2) is changed to n-channel transistors 75 and 76. Reference numeral 77 denotes a common signal-analog image signal controlling circuit. During the digital display, the digital-analog selection signal (DA-Sel.) 78 is set to 0 so that an n-channel transistor 79 is switched on and an n-channel transistor 80 is switched OFF. A COM signal (81) and a COM signal (82) are supplied to each pixel.

In order to realize an analog display with this circuit, first, digital image data Dd of 0 is written to memory cells (15 and 16) in all pixels on the screen so that the n-channel transistor 75 is switched OFF and the n-channel transistor 76 is switched ON. In the common signal-analog image signal controlling circuit, the digital-analog selection signal (DA-Sel.) 78 is set to 0, the n-channel transistor 79 is switched OFF, the n-channel transistor 80 is switched ON, and a COM signal line 83 is used as the signal line for an analog image signal (Da) 84. During the stand-by state of analog display, the pixel selection signal during analog display (Pa-Sel.) 73 is set to 0 and the n-channel transistor 74 is switched OFF.

When the Pa-Sel. is changed from 0 to 1, the analog image signal (Da) 84 is written to a data storing capacitor 85 and the analog image signal (Da) is applied to the pixel electrode 86.

In the specific circuits of Figs. 5 and 8 also, a common signal

and an intermediate potential are supplied corresponding to the digital display and the analog display to the transparent electrode on the upper glass.

Fig. 9 shows a specific structure of an active panel which uses the pixel circuit of Fig. 8. A pixel 88 on a display screen 87 of the panel is formed of the pixel circuit 52 of Fig. 8 and a peripheral control circuit is formed around the screen.

A peripheral control circuit for digital display is formed at an upper portion and left side of the screen. A digital image signal (Dd) 89 input from the outside is processed in a data buffer 91 by a control signal 90 such as an X-address (X-ADR) so that the address designation and timing are adjusted and is supplied to a pixel within the screen as Dd and Dd 92. A Y-address decoder 93 at the left side of the screen is a circuit which forms a pixel selection signal during digital display (Pd-Sel.) 94 and Y-address signal (Y-ADR) and other control signal 95 are input.

A peripheral control circuit for analog display is formed at a lower portion and right side of the screen. An image signal (Video signal) 96 is read into an X shift register 98 by a signal 97 such as a clock signal CLx and is supplied to a pixel in the screen via a control circuit 99 of the common signal-analog image signal (100).

Reference numeral 101 denotes a common signal for driving liquid crystal and reference numeral 102 denotes a digital-analog selection signal (DA-Sel.). A pixel selection signal during analog display (Pa-Sel.) 103 is controlled by a shift register 104 and a signal 105 such as a clock signal CLY is input to the shift register 104.

In this manner, it is possible to realize, with one panel, both an analog display including gray scales such as a television image and a digital display having a low power consumption having a storing circuit for image data. A liquid crystal material used in this process preferably has a gentle rise in a voltage-light reflection characteristic as shown in Fig. 2 (1) because gray scales are also

included.

As described, in the active panel of the present invention, a display circuit which performs analog display including gray scales and a display circuit which has a storing circuit for image data and which performs digital display are realized. Example configurations are shown, for example, in Fig. 3 in which the display circuits are independent from each other and in Figs. 5 and 8 in which a portion of the pixel circuit and the signal line is shared. In the active panel of the present invention, the basic operations of the circuits during the digital display and during the analog display are identical to those in the pixel circuits shown in Figs. 1 (1) and 1 (2), and it is possible to realize both characteristics of the display methods on one panel without forcefully using one of the pixel circuits to the other display form.

JP60-64395

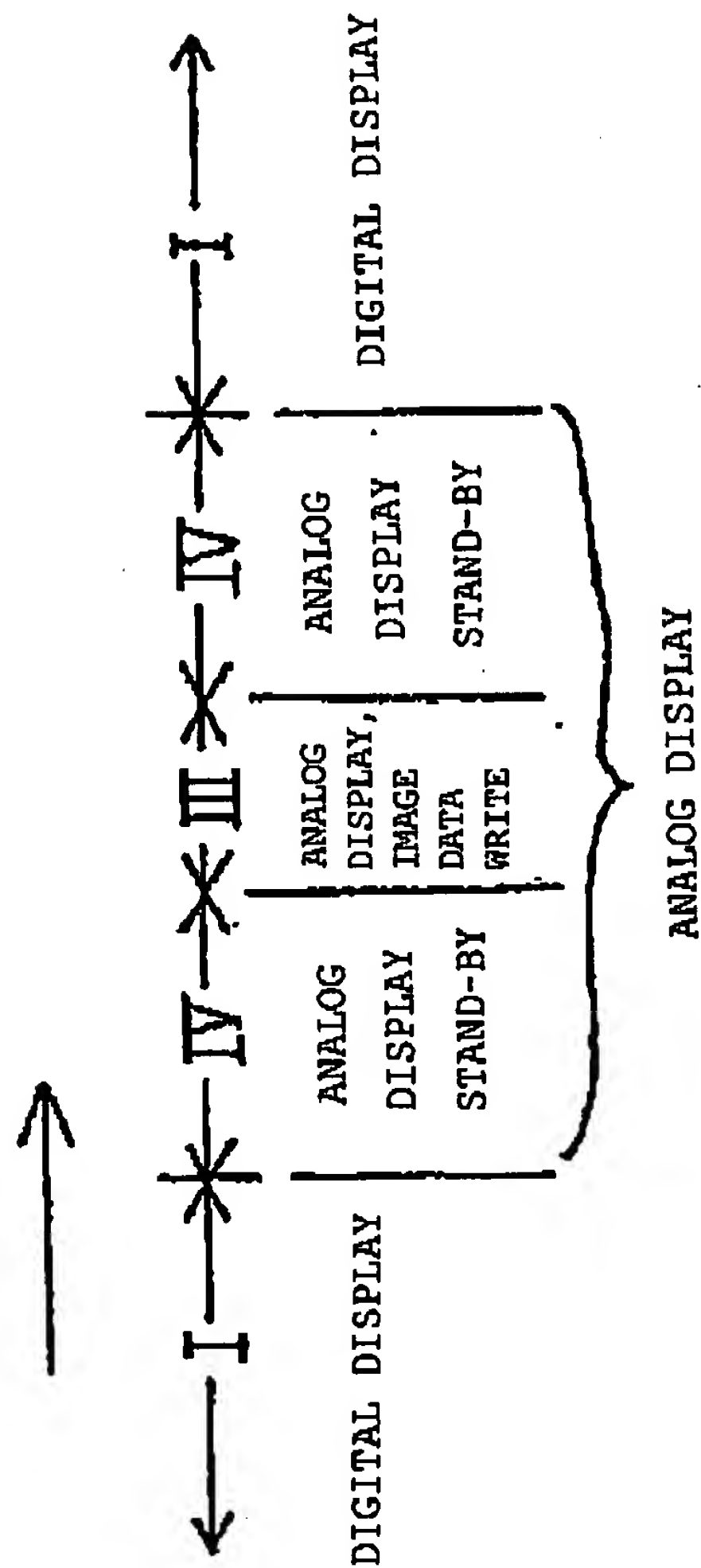


Fig. 7

⑫ 日本国特許庁(JP)

⑬ 特許出願公開

⑭ 公開特許公報(A)

昭60-64395

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑯ 公開 昭和60年(1985)4月12日

G 09 G 3/36
H 04 N 5/86

1 0 2

7436-5C
7245-5C

審査請求 未請求 発明の数 1 (全9頁)

⑰ 発明の名称 アクティブパネル用集積回路基板

⑱ 特 願 昭58-173361

⑲ 出 願 昭58(1983)9月20日

⑳ 発 明 者 尾 崎 望 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
㉑ 出 願 人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号
㉒ 代 理 人 弁理士 最 上 務

明 細 書

1 発明の名称

アクティブパネル用集積回路基板

2 特許請求の範囲

半導体基板上に形成された電気回路により画素電極に印加される信号を制御し、該基板の上部に置かれた透明電極の形成されたガラス基板の間に封入された液晶を駆動し表示を行なうアクティブパネルにおいて、該パネルの表示単位となる1個の画素内に、画像データのスタティックな記憶回路を持ち白・黒2値表示を行なうデジタル表示回路と、コンデンサにより画像データが保持され中間値を含む表示の可能なアナログ表示回路が、全く独立に、または該表示回路及び信号線の一部が共通化されて形成され、デジタル-アナログ選択信号によりこれら一方の表示回路による表示の選択が可能であることを特徴とするアクティブパネル用集積回路基板。

- 1 -

3 発明の詳細な説明

本発明は中間値を持つアナログ的な表示形態と、白・黒2値のデジタル的な表示形態を併わせ持つアクティブパネルに関するものである。

液晶をその表示媒体とする液晶パネルは、時計・計算機・計測器等の携帯用機器で幅広く使用されており、その小型・軽量という大きな特長を生かし、他の表示パネルの追従を許さず、現在は表示容量の増大、パネルの大型化、表示品質の向上、カラー化等をその主要研究テーマとしている。しかしながら現在広く用いられている透明電極の形成された2枚のガラス基板間に液晶を封入し、これらの透明電極間に電圧を印加して表示させる方式では、表示容量の本質的な限界が存在する為、画素数の多い、より高密度の表示を目的としたパネルでは、電界効果トランジスタ等の素子を各画素に形成したアクティブパネル方式が使用される。

このアクティブパネルの内、半導体基板上に形成された電界効果トランジスタを使用する方式では、テレビ画像の表示を目的としたアナログ的な

- 2 -

-725-

特開明60-64395(2)

アクティブパネルと、文字・図形等の白・黒2値による表示を目的としたデジタル的なアクティブパネルがある。

第1図(1)には、テレビ画像の表示を目的とした中間調表示の可能なアクティブパネルの回路の図を示した。同図1が表示単位となる1個の画素であり、アナログ信号であるテレビの画像信号(ビデオ信号)は、画素選択信号3によりNチャンネル電界効果トランジスタ4をON状態にし、このドレインに接続されたデータ保持用コンデンサ5に書き込まれる。またこの電界効果トランジスタのドレインは、液晶駆動用の画素電極6につながれている。7は上ガラス基板上の透明電極であり、8はこれらの間に封入された表示媒体となる液晶である。この透明電極は中間電位に固定されており、アナログ信号であるビデオ信号はこの透明電極電位に対して正・負交互に書き込まれる。

第1図(2)は、文字・図形等の白・黒2値表示を目的とした記憶型アクティブパネルの回路の1例である。9が1個の画素であり、DATA

- 3 -

る。

第1図(1)のアナログ的な表示方式と、同図(2)の白・黒2値のデジタル的な表示方式のアクティブパネルでは、これらに使用する液晶材料に要求される特性も異なってくる。

一般に上記のような不透明な半導体基板(シリコン基板)上に形成された電気回路により信号を制御し液晶を駆動する表示パネルでは、表示媒体として用いられる液晶材料は二色性色素の添加されたゲスト-ホスト型液晶が用いられることが多い。このゲスト-ホスト型液晶では、そのホストとなる液晶の種々の相及び印加された電界に対応する種々の配列が存在するが、ここでは正の誘電率異方性を持つ、ガラス面に平行に配向されたネマティック相を例として取り上げる。したがって電界の印加されない状態では、二色性色素による吸収が大であり反射率は低下し暗色し、電極間に電界を印加し液晶分子をガラス面に垂直に配列させると吸収が小さくなり反射率が増大し白表示となる。

- 5 -

信号10及びDATA信号11は、画素選択信号12により13及び14のNチャンネル電界効果トランジスタがON状態にされ、2つのインバータ15、16で構成されるメモリーセル内に書き込まれる。ここで入力、保持される信号は第1図(1)のアナログ信号とは異なり、6(LOW)または1(HIGH)の2値のデータである。メモリーセル内に保持された画像データ17、18により、液晶駆動用の低周波数の方形波(コモン信号)19の入力されているクロックドインバータ20、21の開閉を制御し、画素電極22に印加されるコモン信号の位相を制御する。すなわち、クロックドインバータ20がON状態、21がOFF状態のときは、コモン信号19の反転された信号が画素電極22に印加され、逆にクロックドインバータ21がON状態、20がOFF状態のときは、コモン信号19がそのまま画素電極22に印加される。23は上ガラス基板上に形成された透明電極であり、これには19と同じコモン信号が印加される。24はこれらの間に封入された液晶である。

- 4 -

第2図(1)、(2)には、第1図(1)、(2)の回路回路を持つアクティブパネルの、それぞれの表示方式に適した液晶材料の電極間の印加電圧対光反射特性を示した。

第1図(1)のアナログ的な表示を行なうアクティブパネルでは、中間調表示を実現する為、第2図(1)のようなゆるやかな立ち上がる電圧対光反射特性を持つ液晶材料が適しており、この立ち上がり部分の各電圧(25、26、27等)をデータ保持用コンデンサ(第1図の5)に書き込み、それぞれに対応した中間調(28、29、30等)を表示する。このようにゆるやかな立ち上がり特性を持つ液晶材料では、最も濃い色に対応した電圧51は高くなる傾向があり、また第1図の説明でも述べたように正・負交互に電圧を印加する必要から、駆動電圧は大きな値が必要となる。

第2図(2)には、第1図(2)に示した白・黒2値の表示を行なう記憶型アクティブパネルに適した液晶材料の電圧対光反射特性を示した。ここでは第2図(1)のような中間調表示は不要であるので、む

- 6 -

特開昭60-64395(3)

しる急峻な立ち上がり特性を持ち、しきい電圧値 52 が小さく、低い電圧 55 で高いコントラストの得られる液晶材料が適している。

このように第1図(1)、(2)に示したようなアナログ的な表示を行なうアクティブパネルと、白・黒2値表示を行なう記憶型アクティブパネルでは、その回路構成、使用される液晶材料の特性等も大きく異なる。これらは全く別の表示を目的としている為その特徴も異なっており、アナログ的な表示を行なうアクティブパネルでは、中間調を持つ速い動図を表示することができるという特徴を持つが、反面常に画像信号が入力され画面の更新が必要とされる為、たとえ表示画像が静止していたとしてもその消費電力の大幅な低減は難しい。これに対し白・黒の2値表示を目的とした記憶型アクティブパネルでは、中間調表示は難しい(実現する為には回路規模が大きくなる)が、静止画像の表示時には著しく低消費電力にすることが可能である。

これら2つの表示方式は、それぞれに大きな特

- 7 -

ものになる。また記憶型アクティブパネルにおいて、中間調を含む動図を表示する際には、画像データのスタティックな保持による低消費電力化という特徴は生かされておらず、むしろ動作素子数の増加による消費電力の増大を招く。

本発明は、このようなアナログ表示用アクティブパネルまたはデジタル表示用アクティブパネルの他方の表示形態への流用によって両者の表示形態を実現するのではなく、これら2つの表示方式を全くそのままの回路で、あるいは簡略化された回路構成で合成することにより、それぞれの表示形態においてそれぞれの特徴を持つ表示体を、1枚のパネルで実現することを目的とする。

第3図には本発明による画素の回路の構成を示した。本発明の画素 34 は、独立した2つの表示回路(アナログ表示回路 35, デジタル表示回路 36)から成り立っており、各表示回路において第1図(1)、(2)の説明で述べたような信号の処理を行ない、アナログ的な表示及びデジタル的な表示の両方を行なうことができる。これら2つの表示回路

- 8 -

長を持つ為、1枚のパネルでこれら2つの表示方式が実現でき、かつこれらの表示方式の特徴を併存させることが可能となれば、新しい表示体としてその応用範囲も広がる。

上述の2つの方式の表示パネルをそのまま使用し、他の表示方式のように使用することは、ある程度は可能である。第1図(1)アナログ表示用のアクティブパネルで白・黒2値表示を実現することはもちろん可能であるが、上述したように画像データの随時の入力が必要とされる為、静止画像時でも消費電力は低減できない。逆に第2図(2)のデジタル表示用のアクティブパネルで、中間調も含めた動図を実現することは不可能であり、デジタル信号で入力される画像データを記憶する画素内の記憶回路を増やし、コモン信号の位相の制御、印加電圧の制御あるいは画素の微細な領域への分割等を行なう必要がある。このようにして中間調表示を実現しても、中間色の濃さを指定するのは複数ビットのデジタル信号であり、階調の多い良好な中間調を実現する為には、この回路は膨大な

- 9 -

あるいは入力信号線等は、回路の簡略化の為共有されることもあるが、基本的には第1図(1)、(2)の回路と同等の動作をする。

第5図において、アナログ表示回路 35 にはアナログ画像信号(D4) 37 が入力され、デジタル表示回路 36 にはデジタル画像信号(D4及びD5) 38, 39 が入力されており、これは画素選択信号(P-801) 40 により、それぞれデータ保持用コンデンサ及びメモリーセル内に書き込まれる。41はデジタル表示回路に入力されるコモン信号である。

これら2つの表示回路は、デジタル-アナログ選択信号(DL-802) 42 により選択され一方の表示回路からの信号(43または44)のみが出力され、画素電極 45 に印加される。これと同時に上ガフスの透明電極に印加される信号 46 も、中間電位またはコモン信号の一方に設定される。

第4図には、第3図の構成による画素の具体的な回路を示した。番号 2~24 は、第1図(1)、(2)

- 10 -

特開昭60-84395(4)

に示したものと同一である。二点鎖線47で囲まれた部分が第1図(1)と同等のアナログ表示回路であり、一点鎖線48で囲まれた部分が第1図(2)に示したデジタル表示回路である。本回路例では、アナログ的表示とデジタル的表示は、デジタル・アナログ選択信号(DA-B0.1.)49により、Nチャンネルトランジスタ50及び51の開閉を行なうことにより選択され、一方の表示回路からの信号のみが回路電極6に印加される。

第3図には、コモン信号の開閉を行なうクロックドゲートをNチャンネルトランジスタに変え、コモン(COM.)信号とアナログ画像信号(D0.)の信号線を共通化した回路の第2の例を掲げた。52が1個の回路であり、第1図(2)と同様にデジタル画像信号(Dd及びDd)10, 11は、デジタル表示時の回路選択信号(Pd-B0.1.)53によりメモリーセル(15, 16)内に書き込まれる。メモリーセル内のデータ54は、デジタル・アナログ選択信号(DA-B0.1.)55及びアナログ時の回路選択信号(P0-B0.1.)

- 11 -

併わせてアナログ表示時の回路選択信号を1とすると、NORゲート58の出力68もφとなり、Nチャンネルトランジスタ62もOFFとなる。このときコモン信号-アナログ画像信号制御回路65においては、Nチャンネルトランジスタ65がOFFになり、Nチャンネルトランジスタ66がONとなり、COM信号線49にはアナログ画像信号(D0.)70が接続される。アナログ表示時の回路選択信号(P0-B0.1.)56を1からφにすると、NORゲート58の出力68は1となり、Nチャンネルトランジスタ62がONとなり、アナログ画像信号(D0.)70は、データ保持用コンデンサ71に書き込まれ、回路電極72にアナログ画像信号が印加される。この状態(D0-B0.1.)の回路は、第1図(1)のアナログ表示回路と同等である。

第4図には、デジタル・アナログ選択信号(D0-B0.1.)及びアナログ表示時の回路選択信号(P0-B0.1.)の各値に対応した回路の状態を示した。Iの状態は、第1図(2)のデ

- 13 -

56とのNORゲート(57, 58)を経て、コモン信号(COM.)59及びこの信号の反転されたCOM信号60の開閉を制御する2つのNチャンネルトランジスタ61, 62のゲートに入力される。

デジタル・アナログ選択信号(DA-B0.1.)55がφで、アナログ表示時の回路選択信号(P0-B0.1.)56がφのときには、2つのNORゲート57, 58は単なるインバータとなるため回路の動作は第1図(2)と全く同等の動作をする事が解かる。また、図下部のコモン信号-アナログ画像信号制御回路63においても、デジタル・アナログ選択信号(DA-B0.1.)64によりNチャンネルトランジスタ65がON, 66がOFFとなり、各回路にはCOM及びCOM信号が導びかれる。

デジタル・アナログ選択信号(DA-B0.1.)64を1とすると、NORゲート57の出力67はメモリーセル内のデータに等しくなるので、Nチャンネルトランジスタ61はOFFとなり、

- 12 -

デジタル表示回路と同等であり、DA-B0.1.=1とすることでアナログ表示状態に移り、P0-B0.1.=1(Ⅳの状態)でアナログ表示の特機時(データを書き込まないとき)、P0-B0.1.=φ(Ⅲの状態)でアナログ表示の画像データ書き込み時である。

第7図には、デジタル表示状態からアナログ表示状態を経て、再びデジタル表示状態へ移行する際の、回路の状態の変化を示した。I-Ⅳは第6図に示した各状態である。

第8図には、より簡略化された回路の例を掲げた。アナログ表示時の回路選択信号(P0-B0.1.)75が1の状態では、Nチャンネルトランジスタ74はONとなり、この回路は第1図(2)のクロックドインバータをNチャンネルトランジスタ75, 76に変更したのみで、その動作は第1図(2)の回路と全く同じである。77はコモン信号-アナログ画像信号制御回路であり、デジタル表示時にはデジタル・アナログ選択信号(DA-B0.1.)78はφとされ、Nチャネ

- 14 -

特開昭60-64385(5)

トランジスタ79をON、80をOFFとし、各画素へはCOM信号(81)及びCOM信号(82)が導びかれる。

この回路でアナログ表示を行なうには、まず画面のすべての画素内のメモリーセル(15,16)にデジタル画像データDd=φを書き込み、Nチャンネルトランジスタ75をOFF、76をONとする。コモン信号-アナログ画像信号制御回路においては、デジタル-アナログ選択信号(DA-B01.)78をφとし、Nチャンネルトランジスタ79をOFF、80をONとし、COM信号線83をアナログ画像信号(Da)84の信号線として使用する。アナログ表示の特機時には、アナログ表示時の画素選択信号(P-B01.)78はφとされ、Nチャンネルトランジスタ74はOFFとなっている。

P-B01.をφから1にすることにより、アナログ画像信号(Da)84は、データ保持用コンデンサ85に書き込まれ、画素電極86にはアナログ画像信号(Da)が印加される。

- 15 -

入力されている。

画面下方及び右側にはアナログ表示の際の周辺制御回路が形成されている。画像信号(Video信号)96は、クロック信号CLX等の信号97により、メモリレジスタ98内に読み込まれ、コモン信号-アナログ画像信号の制御回路99を経て、画面内の画素へ導びかれる(100)。

101は液晶駆動用のコモン信号、102はデジタル-アナログ選択信号(DA-B01.)である。アナログ表示時の画素選択信号(P-B01.)103は、シフトレジスタ104によって制御され、これにはクロック信号CLX等の信号105が入力されている。

このようにして、1枚のパネルにおいて、テレビ画像時の中間調を含むアナログ表示と、画像データの記憶回路を持つ低消費電力のデジタル表示の両方を実現することができる。このとき使用される液晶材料は、中間調表示も含むことから第2図(4)に示したような電圧対光反射特性のゆるやかな立ち上りを持つものが好ましい。

- 17 -

尚、第5図及び第8図の具体的な回路例においても、第5図で述べたように、上ガラス上の透明電極には、デジタル表示、アナログ表示に対応して、それぞれコモン信号及び中間電位が与えられる。

第9図には、第8図の画素回路を用いたアクティブパネルの具体的な構成を示した。パネルの表示画面87の画素88は、第8図82の画素回路から成り立っており、この画面の周囲には周辺制御回路が作り込まれている。

デジタル表示を行なう際の周辺制御回路は、画面の上方及び左側に形成されている。外部から入力されるデジタル画像信号(Dd)89は、メモドレス(X-ADB)等の制御信号90により、データバッファ91でアドレス指定、タイミングの調整がされ、Dd、Dd92として画面内の画素へ入力される。画面左側のYアドレスデコード93は、デジタル表示時の画素選択信号(P-B01.)94を形成する回路であり、Yアドレス信号(Y-ADB)、その他の制御信号95が

- 16 -

以上述べて来たように、本発明のアクティブパネルでは、中間調を含むアナログ的な表示を行なう表示回路と、画像データの記憶回路を持つデジタル的な表示を行なう表示回路を併わせ持ち、第3図のようにこれらの表示回路が独立しているもの、第5図、第8図のように画素回路及び信号線の一部が共通化されているものの具体的な回路例を示した。本発明のアクティブパネルでは、デジタル表示、アナログ表示の際の回路の基本的な動作は、第1図(1)及び(2)に掲げた画素回路と全く同等であり、これらの他方の表示形態への流用というむりな使用ではなく、これらの表示方式の持つ特長を1枚のパネルにおいて併存させることが可能である。

4. 画面の簡単な説明

第1図(1)は、テレビ画像の表示を目的とした中間調表示の可能なアクティブパネルの画素の回路であり、第1図(2)は、文字・図形等の白・黒2値表示を目的とした記憶型アクティブパネルの画素

- 18 -

特開昭60-64395(公)

の回路の1例である。

第2図(1)は、第1図(1)の回路よりなるアクティブパネルに通した液晶材料の印加電圧対光反射特性であり、第2図(2)は、第1図(2)の回路よりなるアクティブパネルに通した液晶材料の印加電圧対光反射特性である。

第3図は、本発明による画素の回路の構成を示す図であり、

第4図は、第3図の構成による画素の具体的な回路を示す図である。

第5図は、本発明の構成による画素の回路の第2の具体的な例を示す図であり、

第6図は、第5図の回路の各信号の値に対応した状態を示す図であり、

第7図は、第5図の回路の動作を説明する為の図である。

第8図は、本発明の構成による画素の回路の第3の具体的な例を示す図であり、

第9図は、第8図の回路を持つアクティブパネ

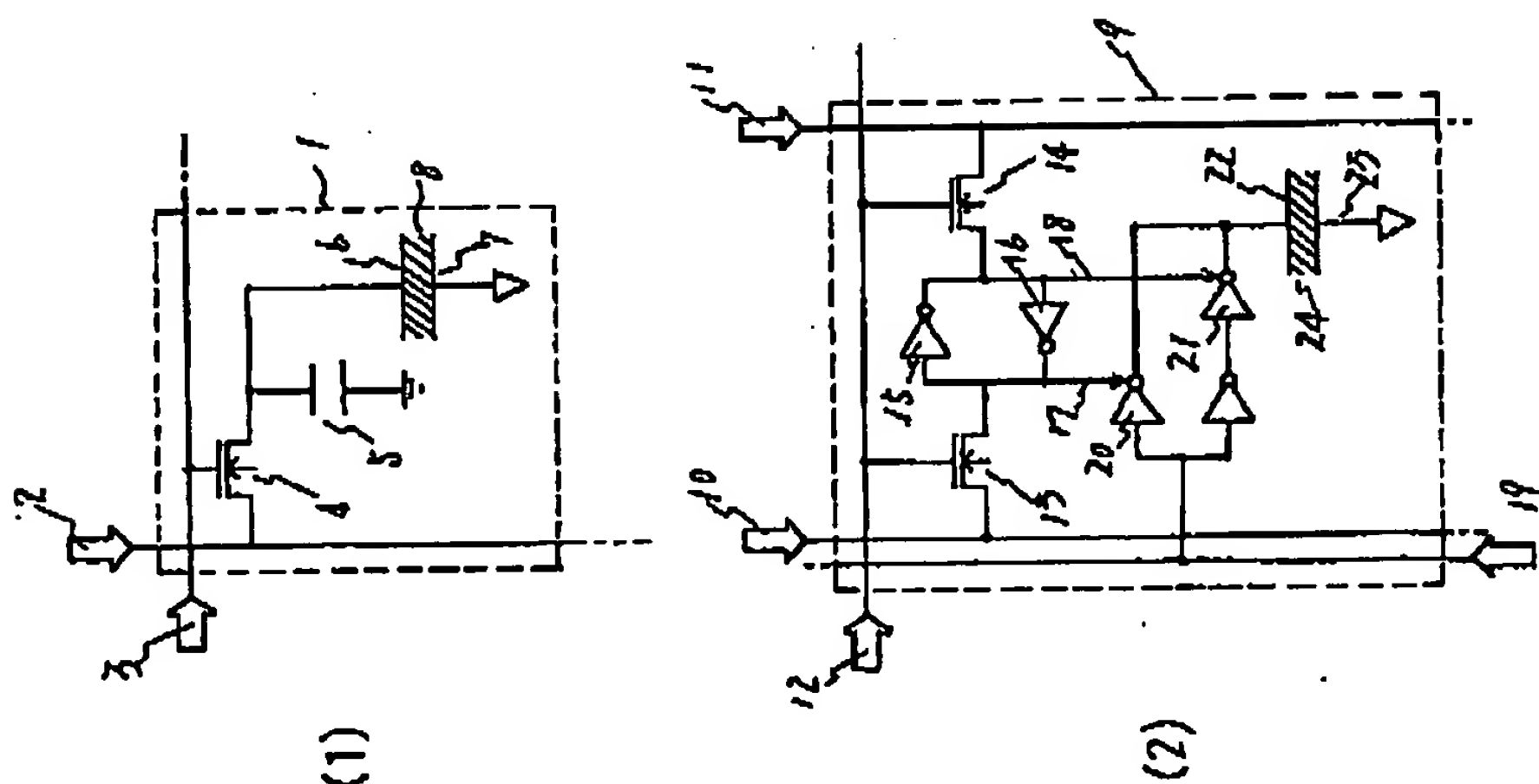
ルの構成を示す図である。

以 上

出願人 株式会社 御防精工舎
代理人 弁護士 森上 務

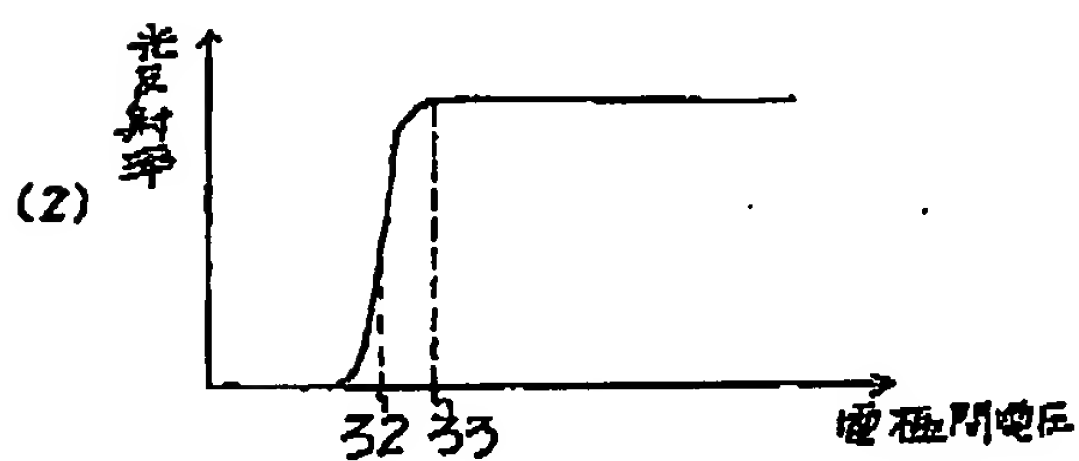
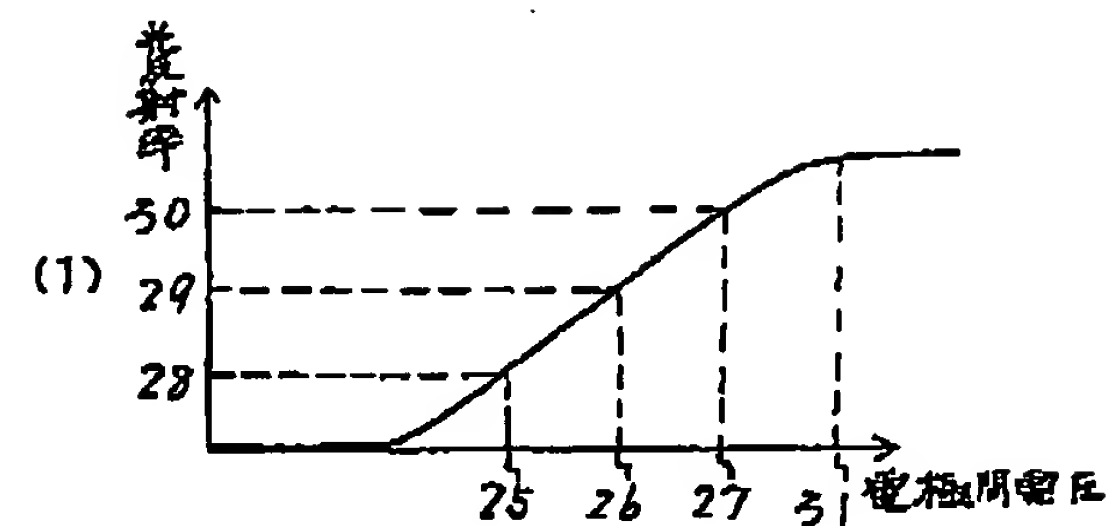
- 1 9 -

- 2 0 -

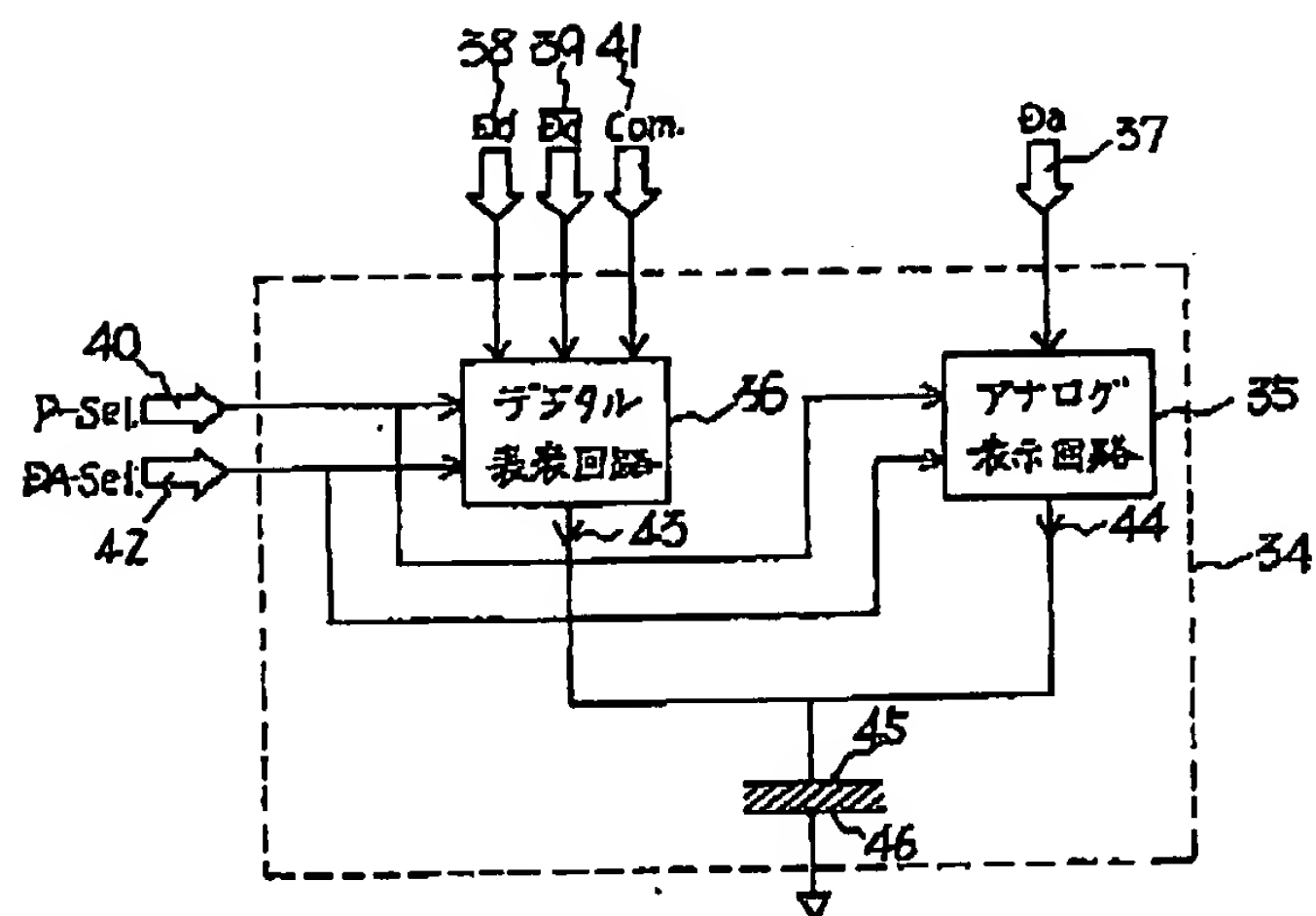


第1図

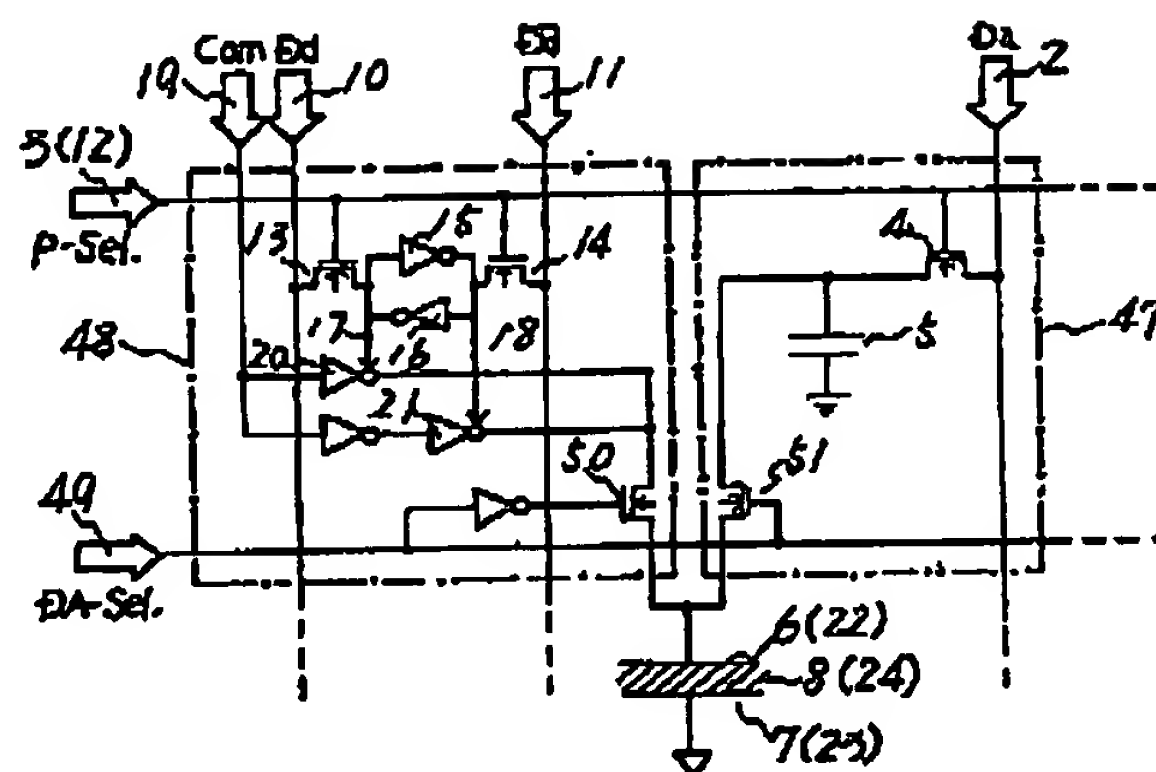
特開昭60-64395(7)



第 2 図

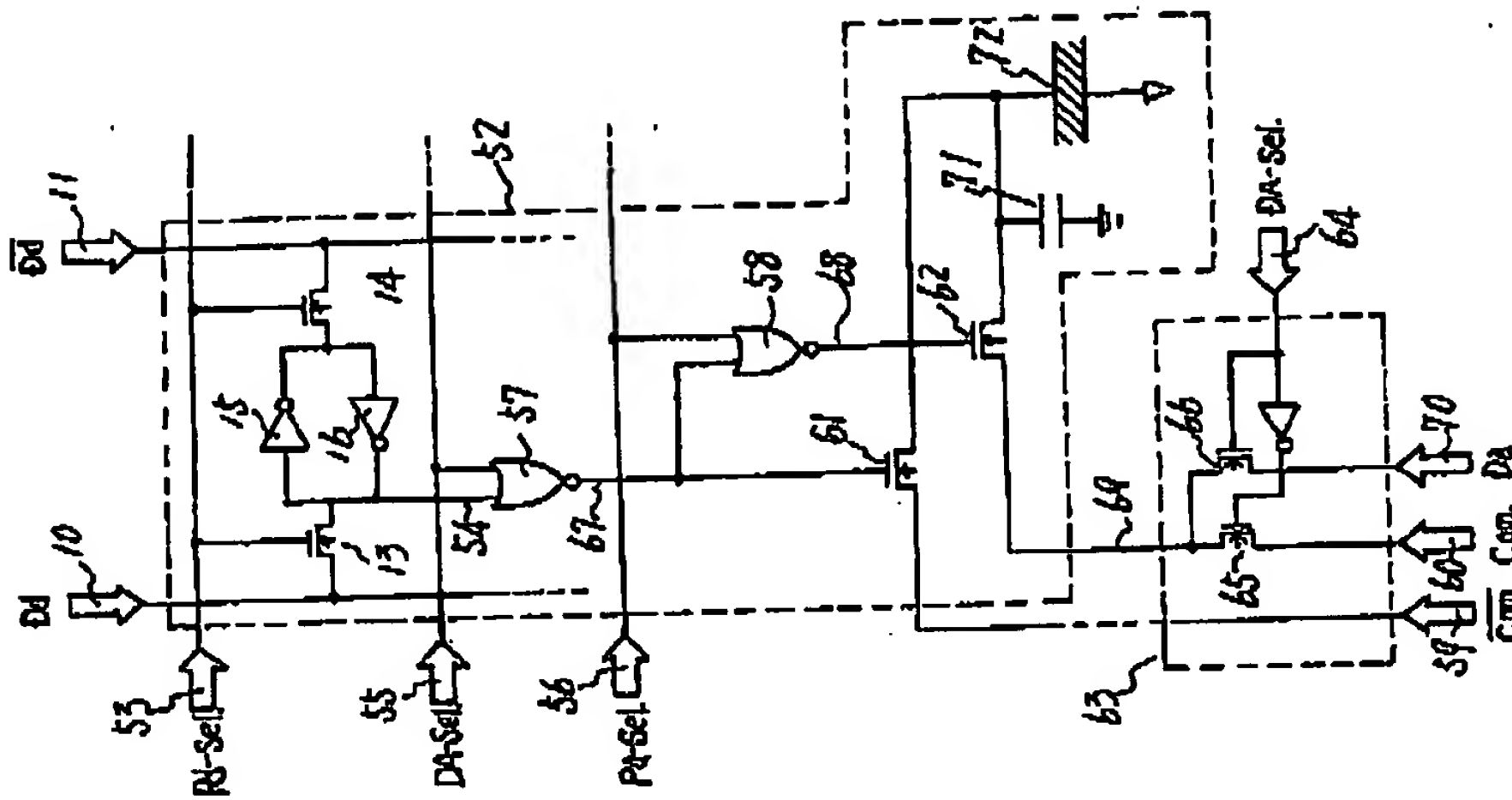


第 3 図



第 4 図

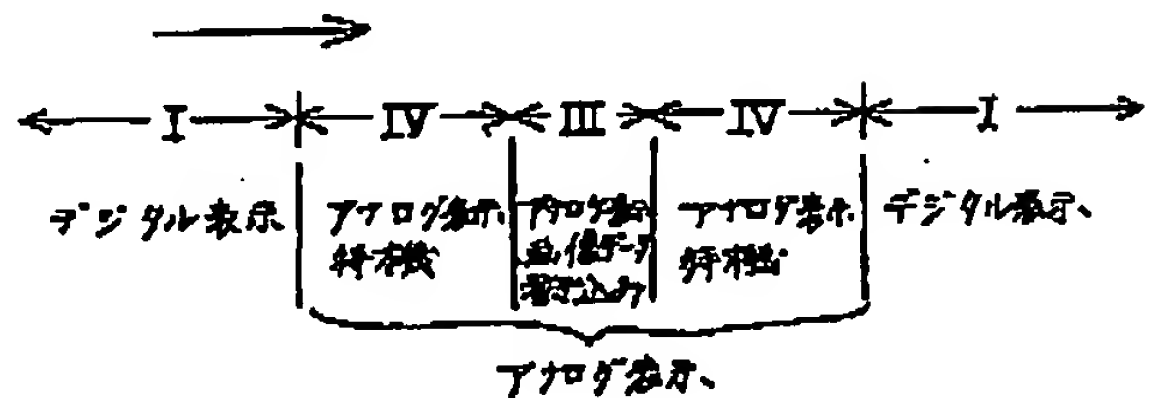
特開昭60-64395(8)



第 5 図

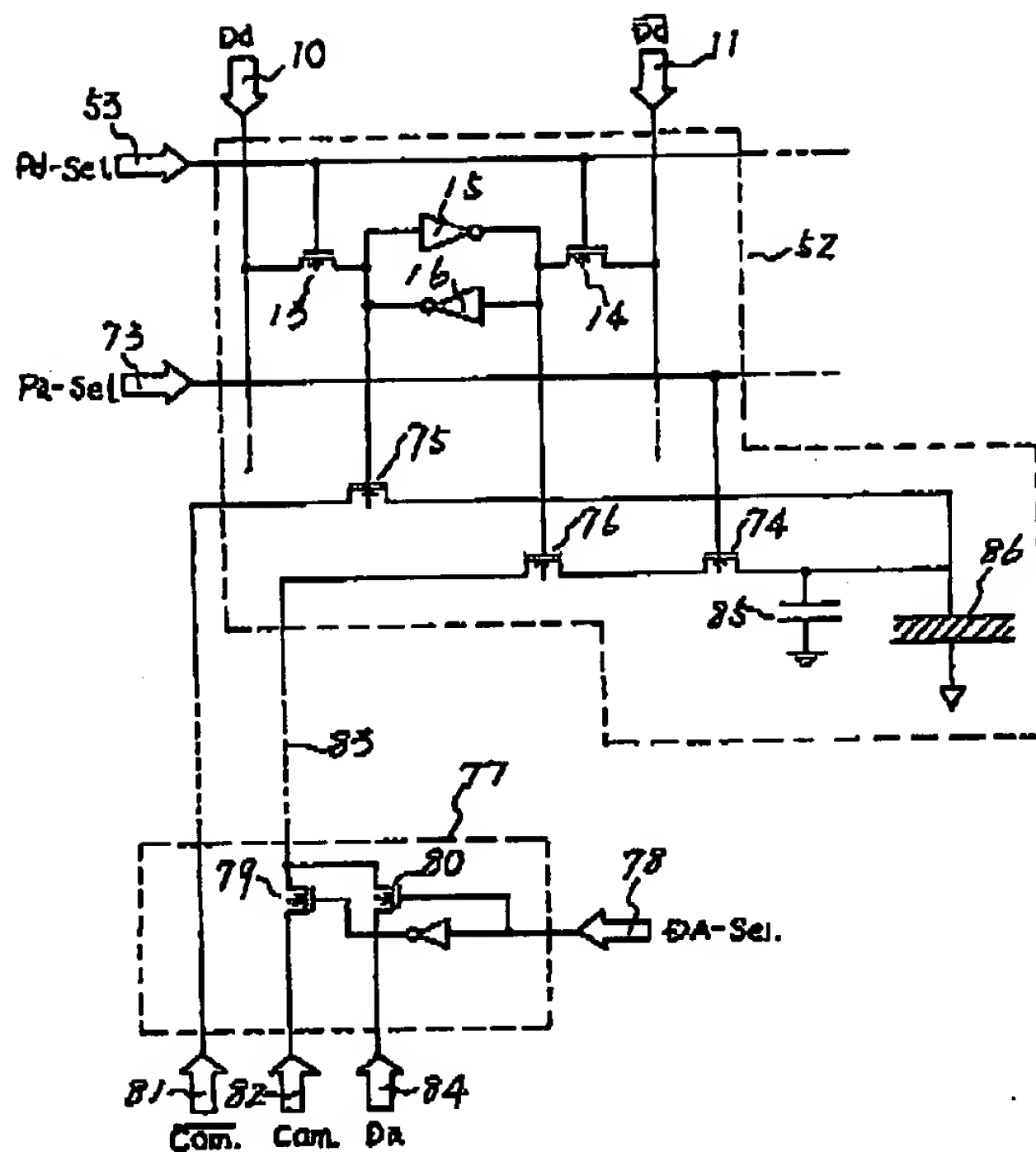
	I	II	III	IV
DA-Sel.	0	0	1	1
Pa-Sel.	0	1	0	1
	デジタル 表示状態	—	アナログ 表示 書き込み時	アナログ 表示 検出時

第 6 図

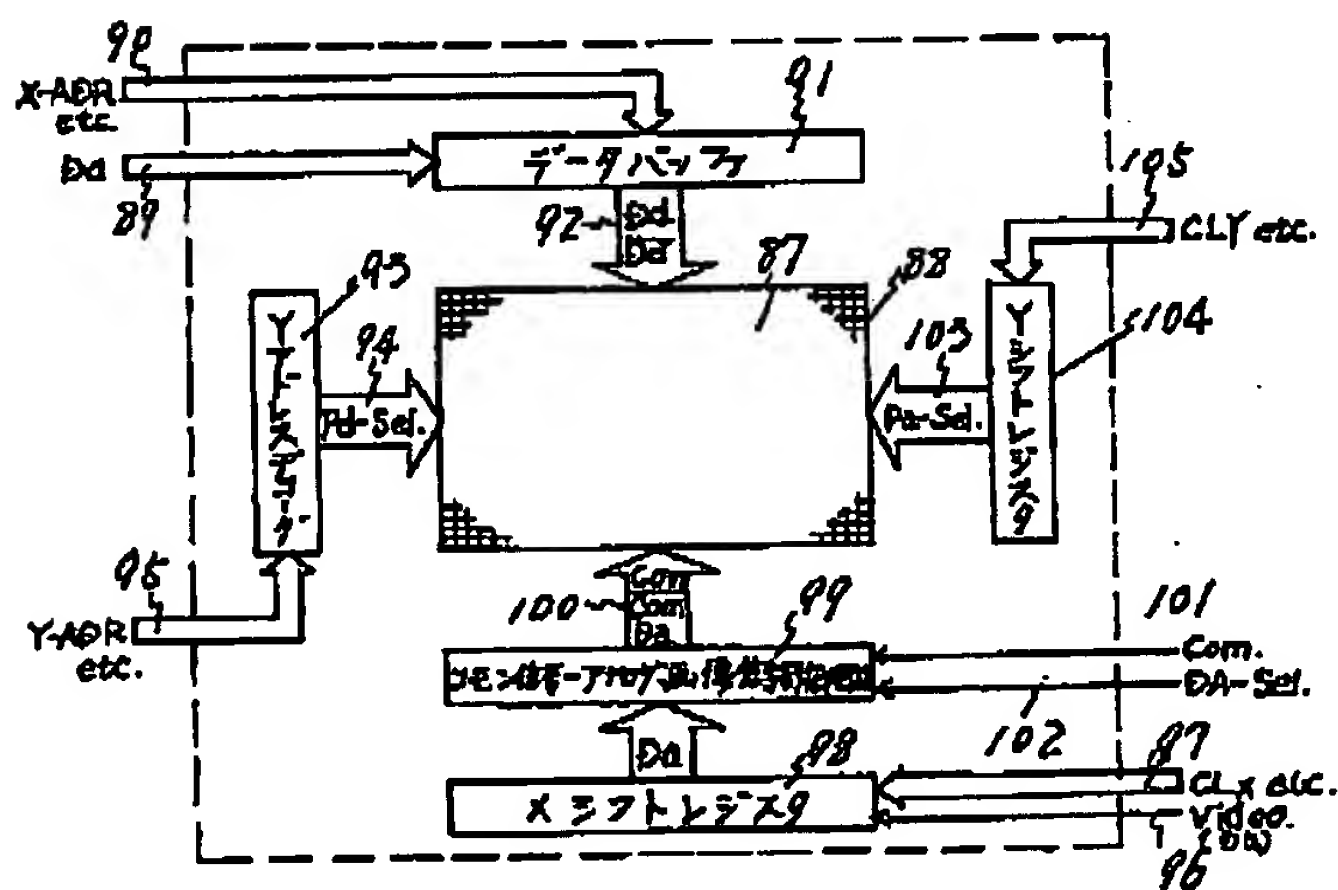


第 7 図

特開2000-64395(9)



第 8 図



第 9 図

—733—

indicates translated parts.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭60-64395

⑫ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)4月12日

G 09 G 3/36
H 04 N 5/66

102

7436-5C
7245-5C

審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 アクティブパネル用集積回路基板

⑮ 特 願 昭58-173361

⑯ 出 願 昭58(1983)9月20日

⑰ 発 明 者 尾 崎 望 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
⑱ 出 願 人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号
⑲ 代 理 人 弁理士 最 上 務

明 細 書

1 発明の名称

アクティブパネル用集積回路基板

2 特許請求の範囲

半導体基板上に形成された電気回路により画素電極に印加される信号を制御し、該基板の上部に置かれた透明電極の形成されたガラス基板の間に封入された液晶を駆動し表示を行なうアクティブパネルにおいて、該パネルの表示単位となる1個の画素内に、画像データのスタティックな記憶回路を持ち白・黒2値表示を行なうデジタル表示回路と、コンデンサにより画像データが保持され中間調を含む表示の可能なアナログ表示回路が、全く独立に、または該表示回路及び信号線の一部が共通化されて形成され、デジタル-アナログ選択信号によりこれら一方の表示回路による表示の選択が可能であることを特徴とするアクティブパネル用集積回路基板。

- 1 -

3 発明の詳細な説明

本発明は中間調を持つアナログ的な表示形態と、白・黒2値のデジタル的な表示形態を併わせ持つアクティブパネルに関するものである。

液晶をその表示媒体とする液晶パネルは、腕時計・計算機・計測器等の携帯用機器で幅広く使用されており、その小型・軽量といふ大きな特長を生かし、他の表示パネルの追従を許さず、現在は表示容量の増大、パネルの大型化、表示品質の向上、カラー化等をその主要研究テーマとしている。しかしながら現在広く用いられている透明電極の形成された2枚のガラス基板間に液晶を封入し、これらの透明電極間に電圧を印加して表示させる方式では、表示容量の本質的な限界が存在する為、画素数の多い、より高密度の表示を目的としたパネルでは、電界効果トランジスタ等の素子を各画素に形成したアクティブパネル方式が使用される。

このアクティブパネルの内、半導体基板上に形成された電界効果トランジスタを使用する方式では、テレビ画像の表示を目的としたアナログ的な

- 2 -

-725-

特開昭60-64395(2)

アクティブパネルと、文字・図形等の白・黒2値による表示を目的としたデジタル的なアクティブパネルがある。

第1図(1)には、テレビ画像の表示を目的とした中間調表示の可能なアクティブパネルの回路の回路を示した。同図1が表示単位となる1個の画素であり、アナログ信号であるテレビの画像信号(ビデオ信号)は、画素選択信号3によりNチャンネル電界効果トランジスタ4をON状態にし、このドレインに接続されたデータ保持用コンデンサ5に書き込まれる。またこの電界効果トランジスタのドレインは、液晶駆動用の画素電極6につながれている。7は上ガラス基板上の透明電極であり、8はこれらの間に封入された表示媒体となる液晶である。この透明電極は中間電位に固定されており、アナログ信号であるビデオ信号はこの透明電極電位に対して正・負交互に書き込まれる。

第1図(2)は、文字・図形等の白・黒2値表示を目的とした記憶型アクティブパネルの回路の1例である。9が1個の画素であり、DATA

- 3 -

る。

第1図(1)のアナログ的な表示方式と、同図(2)の白・黒2値のデジタル的な表示方式のアクティブパネルでは、これらに使用する液晶材料に要求される特性も異なってくる。

一般に上記のような不透明な半導体基板(シリコン基板)上に形成された電気回路により信号を制御し液晶を駆動する表示パネルでは、表示媒体として用いられる液晶材料は二色性色素の添加されたゲスト-ホスト型液晶が用いられることが多い。このゲスト-ホスト型液晶では、そのホストとなる液晶の種々の相及び印加された電界に対応する種々の配列が存在するが、ここでは正の誘電率異方性を持つ、ガラス面に平行に配向されたネマティック相を例として取り掲げる。したがって電界の印加されない状態では、二色性色素による吸収が大であり反射率は低下し暗色し、電極間に電界を印加し液晶分子をガラス面に垂直に配列させると吸収が小さくなり反射率が増大し白表示となる。

- 5 -

信号10及びDATA信号11は、画素選択信号12により13及び14のNチャンネル電界効果トランジスタがON状態にされ、2つのインバータ15、16で構成されるメモリーセル内に書き込まれる。ここで入力・保持される信号は第1図(1)のアナログ信号とは異なり、 ϕ (LOW)または1(HIGH)の2値のデータである。メモリーセル内に保持された画像データ17、18により、液晶駆動用の低周波数の方形波(コモン信号)19の入力されているクロックドインバータ20、21の動作を制御し、画素電極22に印加されるコモン信号の位相を制御する。すなわち、クロックドインバータ20がON状態、21がOFF状態のときは、コモン信号19の反転された信号が画素電極22に印加され、逆にクロックドインバータ21がON状態、20がOFF状態のときは、コモン信号19がそのまま画素電極22に印加される。23は上ガラス基板上に形成された透明電極であり、これには19と同じコモン信号が印加される。24はこれらの間に封入された液晶である。

- 4 -

第2図(1)、(2)には、第1図(1)、(2)の回路を持つアクティブパネルの、それぞれの表示方式に適した液晶材料の電極間の印加電圧対光反射特性を示した。

第1図(1)のアナログ的な表示を行なうアクティブパネルでは、中間調表示を実現する為、第2図(1)のようなゆるやかに立ち上がる電圧対光反射特性を持つ液晶材料が適しており、この立ち上がり部分の各電圧(25、26、27等)をデータ保持用コンデンサ(第1図の5)に書き込み、それぞれに対応した中間調(28、29、30等)を表示する。このようなゆるやかな立ち上がり特性を持つ液晶材料では、最も濃い色に対応した電圧31は高くなる傾向があり、また第1図の説明でも述べたように正・負交互に電圧を印加する必要から、駆動電圧は大きな値が必要となる。

第2図(2)には、第1図(2)に示した白・黒2値の表示を行なう記憶型アクティブパネルに適した液晶材料の電圧対光反射特性を示した。ここでは第2図(1)のような中間調表示は不要であるので、む

- 6 -

-726-

特開昭60-64395(2)

しろ色線な立ち上がり特性を持ち、しきい電圧値52が小さく、低い電圧33で高いコントラストの得られる液晶材料が適している。

このように第1図(1)、(2)に示したようなアナログ的な表示を行なうアクティブパネルと、白・黒2値表示を行なう記憶型アクティブパネルでは、その回路構成、使用される液晶材料の特性等も大きく異なる。これらは全く別の表示を目的としている為その特徴も異なっており、アナログ的な表示を行なうアクティブパネルでは、中間調を持つ速い動画を表示することができるといった特徴を持つが、反面常に画像信号が入力され画面の更新が必要とされる為、たとえ表示画像が静止していたとしてもその消費電力の大幅な低減は難しい。これに対し白・黒の2値表示を目的とした記憶型アクティブパネルでは、中間調表示は難しい(実現する為には回路規模が大きくなる)が、静止画像の表示時には著しく低消費電力にすることが可能である。

これら2つの表示方式は、それぞれに大きな特

- 7 -

ものになる。また記憶型アクティブパネルにおいて、中間調を含む動画を表示する際には、画像データのスタティックな保持による低消費電力化という特徴は生かされておらず、むしろ動作素子数の増加による消費電力の増大を招く。

本発明は、このようなアナログ表示用アクティブパネルまたはデジタル表示用アクティブパネルの他方の表示形態への適用によって両者の表示形態を実現するのではなく、これら2つの表示方式を全くそのままでの回路で、あるいは簡略化された回路構成で合成することにより、それぞれの表示形態においてそれぞれの特徴を持つ表示体を、1枚のパネルで実現することを目的とする。

第3図には本発明による画素の回路の構成を示した。本発明の画素34は、独立した2つの表示回路(アナログ表示回路35、デジタル表示回路36)から成り立っており、各表示回路において第1図(1)、(2)の説明で述べたような信号の処理を行ない、アナログ的な表示及びデジタル的な表示の両方を行なうことができる。これら2つの表示回路

- 9 -

長を持つ為、1枚のパネルでこれら2つの表示方式が実現でき、かつこれらの表示方式の特徴を併存させることが可能となれば、新しい表示体としてその応用範囲も広がる。

上述の2つの方式の表示パネルをそのまま使用し、他の表示方式のように使用することは、ある程度は可能である。第1図(1)アナログ表示用のアクティブパネルで白・黒2値表示を実現することはもちろん可能であるが、上述したように画像データの随時の入力が必要とされる為、静止画像時でも消費電力は低減できない。

逆に第2図(2)のデジタル表示用のアクティブパネルで、中間調も含めた動画を実現することは不可能であり、デジタル信号で入力される画像データを記憶する画素内の記憶回路を増やし、コモン信号の位相の制御、印加電圧の制御あるいは画素の微細な領域への分割等を行なう必要がある。

このようにして中間調表示を実現しても、中間色の数を指定するのは複数ビットのデジタル信号であり、階調の多い良好な中間調を実現する為には、この回路は膨大な

- 8 -

あるいは入力信号線等は、回路の簡略化の為共有されることもあるが、基本的には第1図(1)、(2)の回路と同等の動作をする。

第3図において、アナログ表示回路35にはアナログ画像信号(D_a)37が入力され、デジタル表示回路36にはデジタル画像信号(D_d及びD_e)38、39が入力されており、これは画素選択信号(P-B₀1)40により、それぞれデータ保持用コンデンサ及びメモリーセル内に書き込まれる。41はデジタル表示回路に入力されるコモン信号である。

これら2つの表示回路は、デジタル-アナログ選択信号(D_A-B₀1)42により選択され一方の表示回路からの信号(43または44)のみが出力され、画素電極45に印加される。これと同時に上ガラスの透明電極に印加される信号46も、中間電位またはコモン信号の一方に設定される。

第4図には、第3図の構成による画素の具体的な回路を示した。番号2~24は、第1図(1)、(2)

- 10 -

-727-

特開昭60-64395(4)

に示したものと同一である。二点鎖線47で囲まれた部分が第1図(1)と同等のアナログ表示回路であり、一点鎖線48で囲まれた部分が第1図(2)に示したデジタル表示回路である。本回路例では、アナログ的表示とデジタル的表示は、デジタル-アナログ選択信号(DA-BOL)49により、Nチャンネルトランジスタ50及び51の開閉を行なうことにより選択され、一方の表示回路からの信号のみが図素電極6に印加される。

第5図には、コモン信号の開閉を行なうクロックドゲートをNチャンネルトランジスタに変え、コモン(COM)信号とアナログ画像信号(DO)の信号線を共通化した図素回路の第2の例を掲げた。52が1個の図素であり、第1図(2)と同様にデジタル画像信号(Dd及びDd)10、11は、デジタル表示時の図素選択信号(Pd-BOL)55によりメモリーセル(15、16)内に書き込まれる。メモリーセル内のデータ54は、デジタル-アナログ選択信号(DA-BOL)55及びアナログ時の図素選択信号(POL-BOL)56により、

- 1 1 -

併わせてアナログ表示時の図素選択信号を1とすると、NORゲート58の出力68もφとなり、Nチャンネルトランジスタ62もOFFとなり。このときコモン信号-アナログ画像信号制御回路65においては、Nチャンネルトランジスタ65がOFFになり、Nチャンネルトランジスタ66がONとなり、COM信号線69にはアナログ画像信号(DO)70が接続される。アナログ表示時の図素選択信号(POL-BOL)56を1からφにすると、NORゲート58の出力68は1となり、Nチャンネルトランジスタ62がONとなり、アナログ画像信号(DO)70は、データ保持用コンデンサ71に書き込まれ、図素電極72にアナログ画像信号が印加される。この状態(DOL-BOL)の図素回路は、第1図(1)のアナログ表示回路と同等である。

第6図には、デジタル-アナログ選択信号(DOL-BOL)及びアナログ表示時の図素選択信号(POL-BOL)の各値に対応した図素回路の状態を示した。Iの状態は、第1図(2)のデ

- 1 3 -

56とのNORゲート(57、58)を経て、コモン信号(COM)59及びこの信号の反転されたCOM信号60の開閉を制御する2つのNチャンネルトランジスタ61、62のゲートに入力される。

デジタル-アナログ選択信号(DA-BOL)55がφで、アナログ表示時の図素選択信号(POL-BOL)56がφのときには、2つのNORゲート57、58は単なるインバータとなるため図素の回路は第1図(2)と全く同等の動作をする事が解かる。また、図下部のコモン信号-アナログ画像信号制御回路65においても、デジタル-アナログ選択信号(DA-BOL)55によりNチャンネルトランジスタ65がON、66がOFFとなり、各図素にはCOM及びCOM信号が導びかれる。

デジタル-アナログ選択信号(DA-BOL)55を1とすると、NORゲート57の出力67はメモリーセル内のデータに等しくφとなるので、Nチャンネルトランジスタ61はOFFとなり、

- 1 2 -

デジタル表示回路と同等であり、DA-BOL=1とすることでアナログ表示状態に移り、POL-BOL=1(IVの状態)でアナログ表示の待機時(データを書き込まないとき)、POL-BOL=φ(Ⅲの状態)でアナログ表示の画像データ書き込み時である。

第7図には、デジタル表示状態からアナログ表示状態を経て、再びデジタル表示状態へ移行する際の、図素回路の状態の変化を示した。I-IVは第6図に示した各状態である。

第8図には、より簡略化された図素回路の例を掲げた。アナログ表示時の図素選択信号(POL-BOL)73が1の状態では、Nチャンネルトランジスタ74はONとなり、この図素回路は第1図(2)のクロックドインバータをNチャンネルトランジスタ75、76に変更したのみで、その動作は第1図(2)の回路と全く同じである。77はコモン信号-アナログ画像信号制御回路であり、デジタル表示時にはデジタル-アナログ選択信号(DA-BOL)78はφとされ、Nチャ

- 1 4 -

特開昭60-64385(三)

ルトランジスタ79をON, 80をOFFとし、各画素へはCOM信号(81)及びCOM信号(82)が導びかれる。

この回路でアナログ表示を行なうには、まず画面のすべての画素内のメモリーセル(15,16)にデジタル画像データD0=φを書き込み、Nチャンネルトランジスタ76をOFF, 76をONとする。コモン信号-アナログ画像信号制御回路においては、デジタル-アナログ選択信号(DA-80, 81)78をφとし、Nチャンネルトランジスタ79をOFF, 80をONとし、COM信号線83をアナログ画像信号(D0)84の信号線として使用する。アナログ表示の待機時には、アナログ表示時の画素選択信号(PA-80, 81)73はφとされ、Nチャンネルトランジスタ74はOFFとなっている。

PA-80, 81をφから1にすることにより、アナログ画像信号(D0)84は、データ保持用コンデンサ85に書き込まれ、画素電極86にはアナログ画像信号(D0)が印加される。

- 15 -

入力されている。

画面下方及び右側にはアナログ表示の際の周辺制御回路が形成されている。画像信号(video信号)96は、クロック信号CLK等の信号97により、メモリレジスタ98内に読み込まれ、コモン信号-アナログ画像信号の制御回路99を経て、画面内の画素へ導びかれる(100)。

101は液晶駆動用のコモン信号、102はデジタル-アナログ選択信号(DA-80, 81)である。アナログ表示時の画素選択信号(PA-80, 81)103は、シフトレジスタ104によって制御され、これにはクロック信号CLK等の信号105が入力されている。

このようにして、1枚のパネルにおいて、テレビ画像等の中間調を含むアナログ表示と、画像データの記憶回路を持つ低消費電力のデジタル表示の両方を実現することができる。このとき使用される液晶材料は、中間調表示も含むことから第2図(4)に示したような電圧対光反射特性のゆるやかな立ち上りを持つものが好ましい。

- 17 -

尚、第5図及び第8図の具体的な回路例においても、第3図で述べたように、上ガラス上の透明電極には、デジタル表示、アナログ表示に対応して、それぞれコモン信号及び中間電位が与えられる。

第9図には、第8図の画素回路を用いたアクティブパネルの具体的な構成を示した。パネルの表示画面87の画素88は、第8図52の画素回路から成り立っており、この画面の周縁には周辺制御回路が作り込まれている。

デジタル表示を行なう際の周辺制御回路は、画面の上方及び左側に形成されている。外部から入力されるデジタル画像信号(D0)89は、メモドレス(X-ADB)等の制御信号90により、データバッファ91でアドレス指定、タイミングの調整がされ、D0, D092として画面内の画素へ入力される。画面左側のYアドレスデコード93は、デジタル表示時の画素選択信号(PA-80, 81)94を形成する回路であり、Yアドレス信号(Y-ADB)、その他の制御信号95が

- 16 -

以上述べて来たように、本発明のアクティブパネルでは、中間調を含むアナログ的な表示を行なう表示回路と、画像データの記憶回路を持つデジタル的な表示を行なう表示回路を併わせ持ち、第3図のようにこれらの表示回路が独立しているもの、第5図、第8図のように画素回路及び信号線の一部が共通化されているものの具体的な回路例を示した。本発明のアクティブパネルでは、デジタル表示、アナログ表示の際の回路の基本的な動作は、第1図(1)及び(2)に掲げた画素回路と全く同等であり、これらの他方の表示形態への流用というむりな使用ではなく、これらの表示方式の持つ特長を1枚のパネルにおいて併存させることが可能である。

4. 画面の簡単な説明

第1図(1)は、テレビ画像の表示を目的とした中間調表示の可能なアクティブパネルの画素の回路であり、第1図(2)は、文字・図形等の白・黒2値表示を目的とした記憶型アクティブパネルの画素

- 18 -

特開昭60-64395(6)

の回路の1例である。

第2図(1)は、第1図(1)の回路よりなるアクティブパネルに適した液晶材料の印加電圧対光反射特性であり、第2図(2)は、第1図(2)の回路よりなるアクティブパネルに適した液晶材料の印加電圧対光反射特性である。

第3図は、本発明による画素の回路の構成を示す図であり、

第4図は、第3図の構成による画素の具体的な回路を示す図である。

第5図は、本発明の構成による画素の回路の第2の具体的な例を示す図であり、

第6図は、第5図の回路の各信号の値に対応した状態を示す図であり、

第7図は、第5図の回路の動作を説明する為の図である。

第8図は、本発明の構成による画素の回路の第3の具体的な例を示す図であり、

第9図は、第8図の回路を持つアクティブパネル

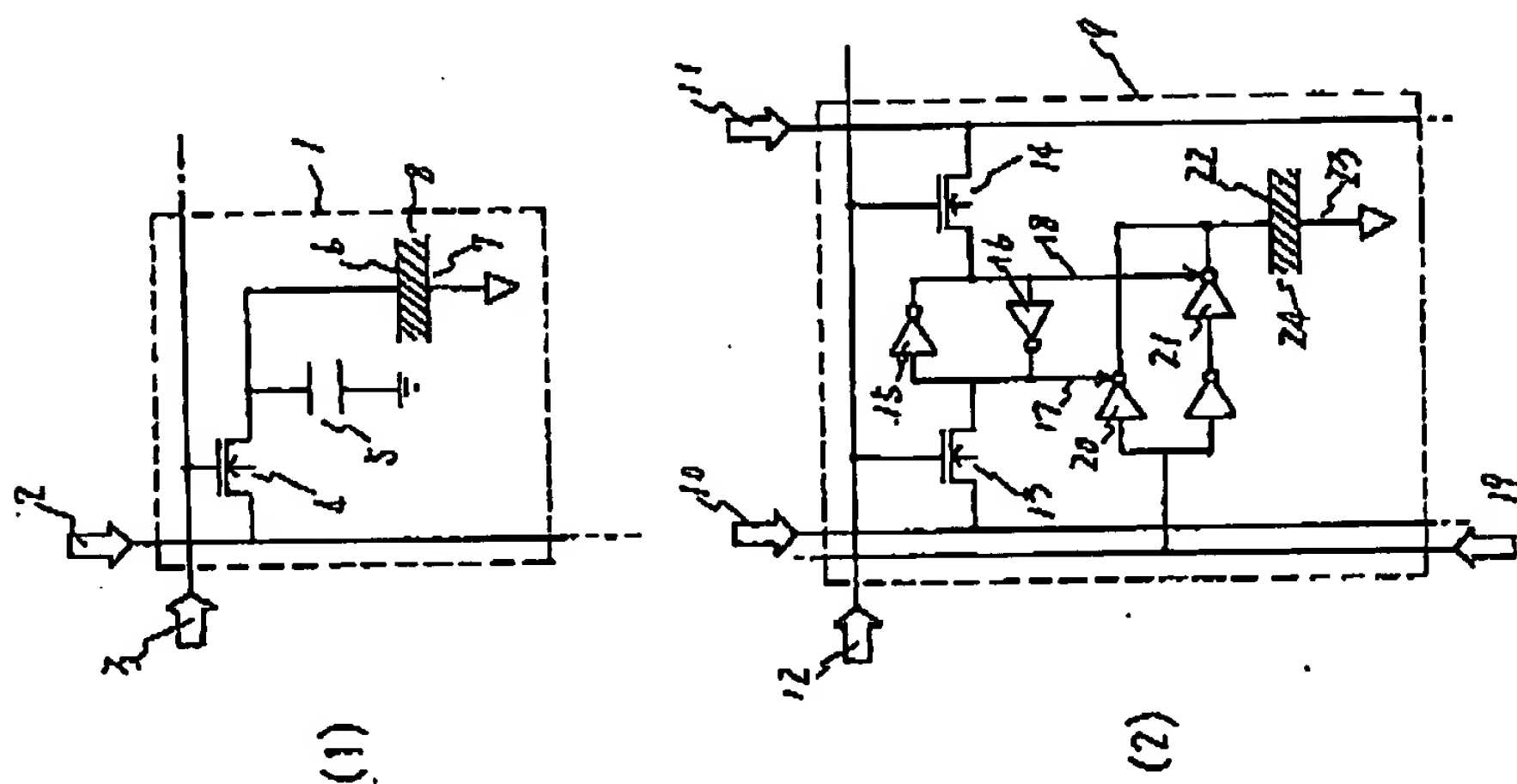
の構成を示す図である。

以上

出願人 株式会社 豊動精工会
代理人 弁理士 最上 務

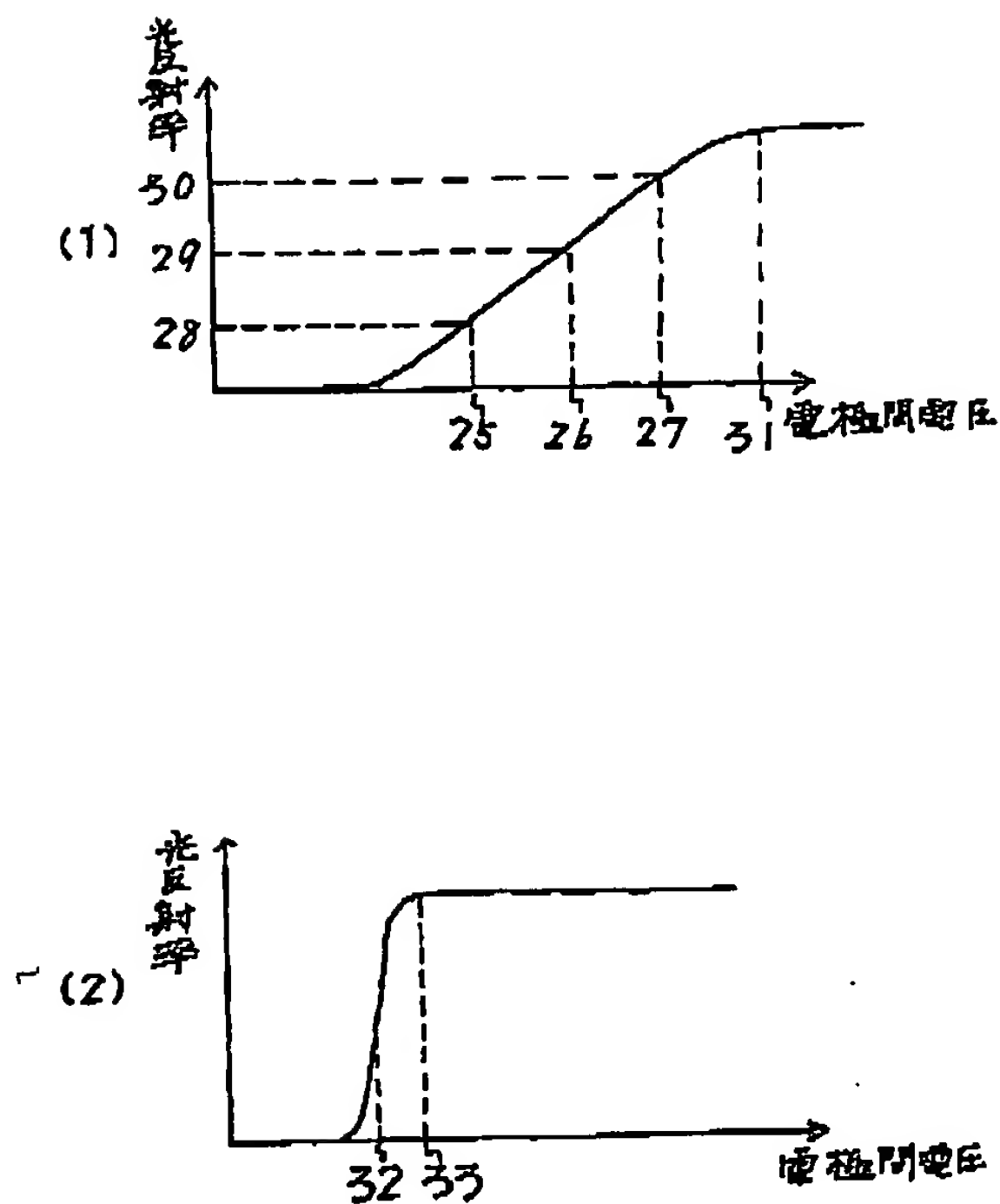
- 19 -

- 20 -

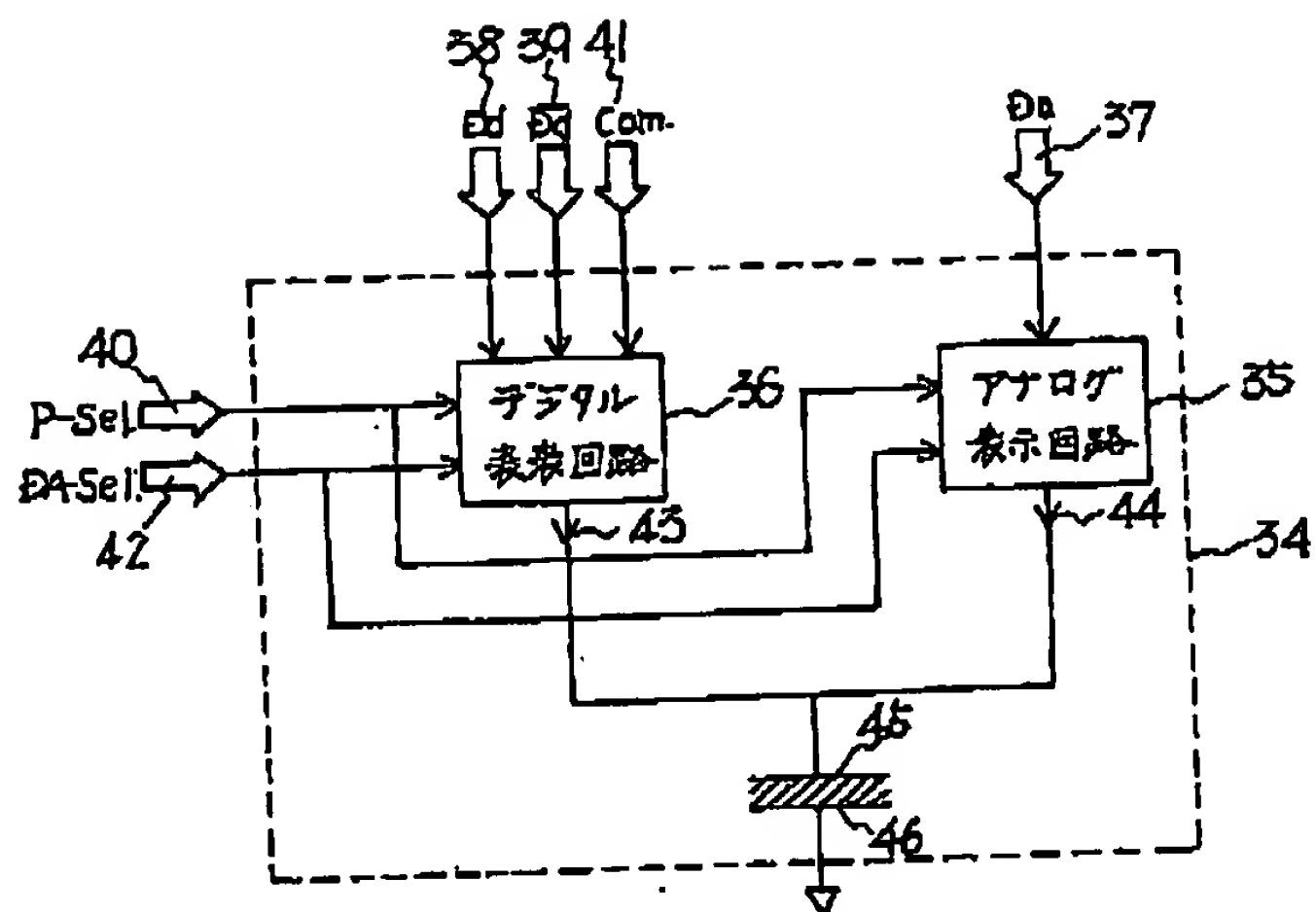


第1図

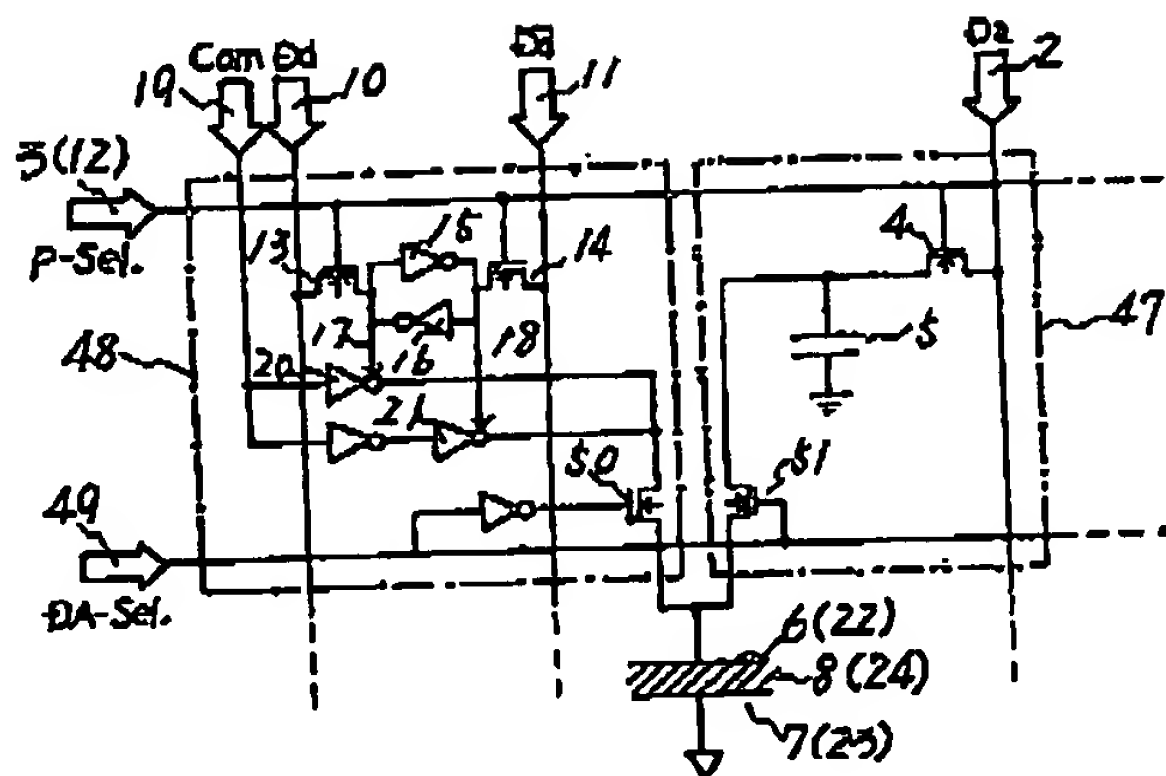
特開昭60-64395(7)



第 2 図

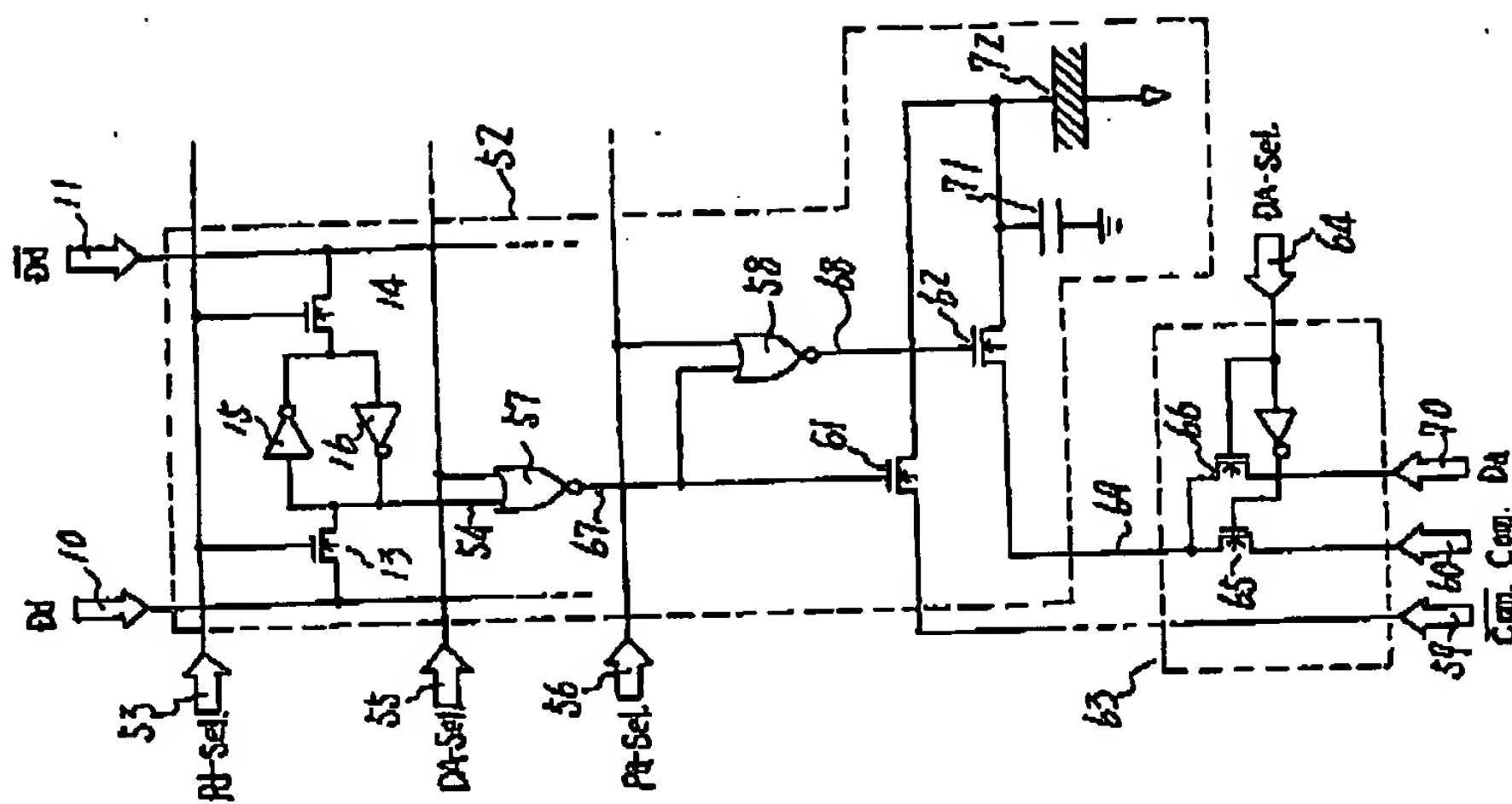


第 3 図



第 4 図

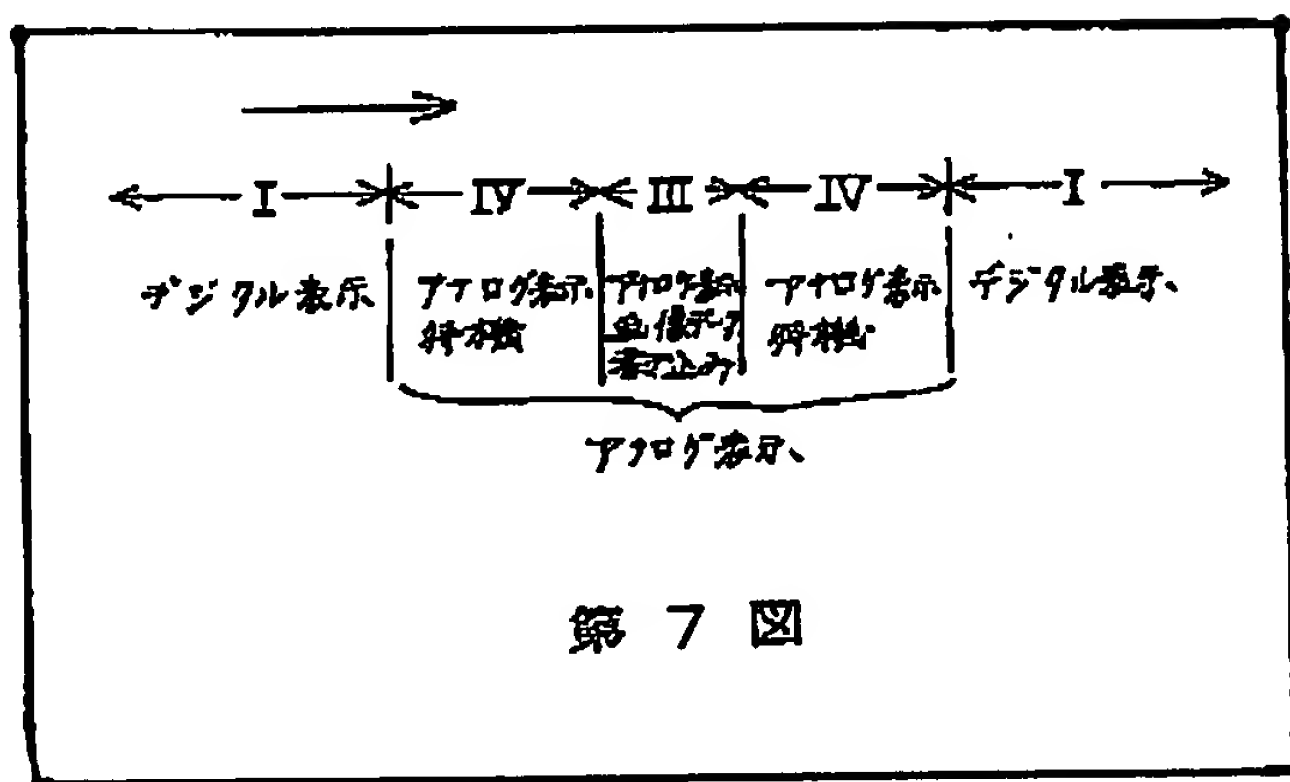
特開昭60-64395(8)



第 5 図

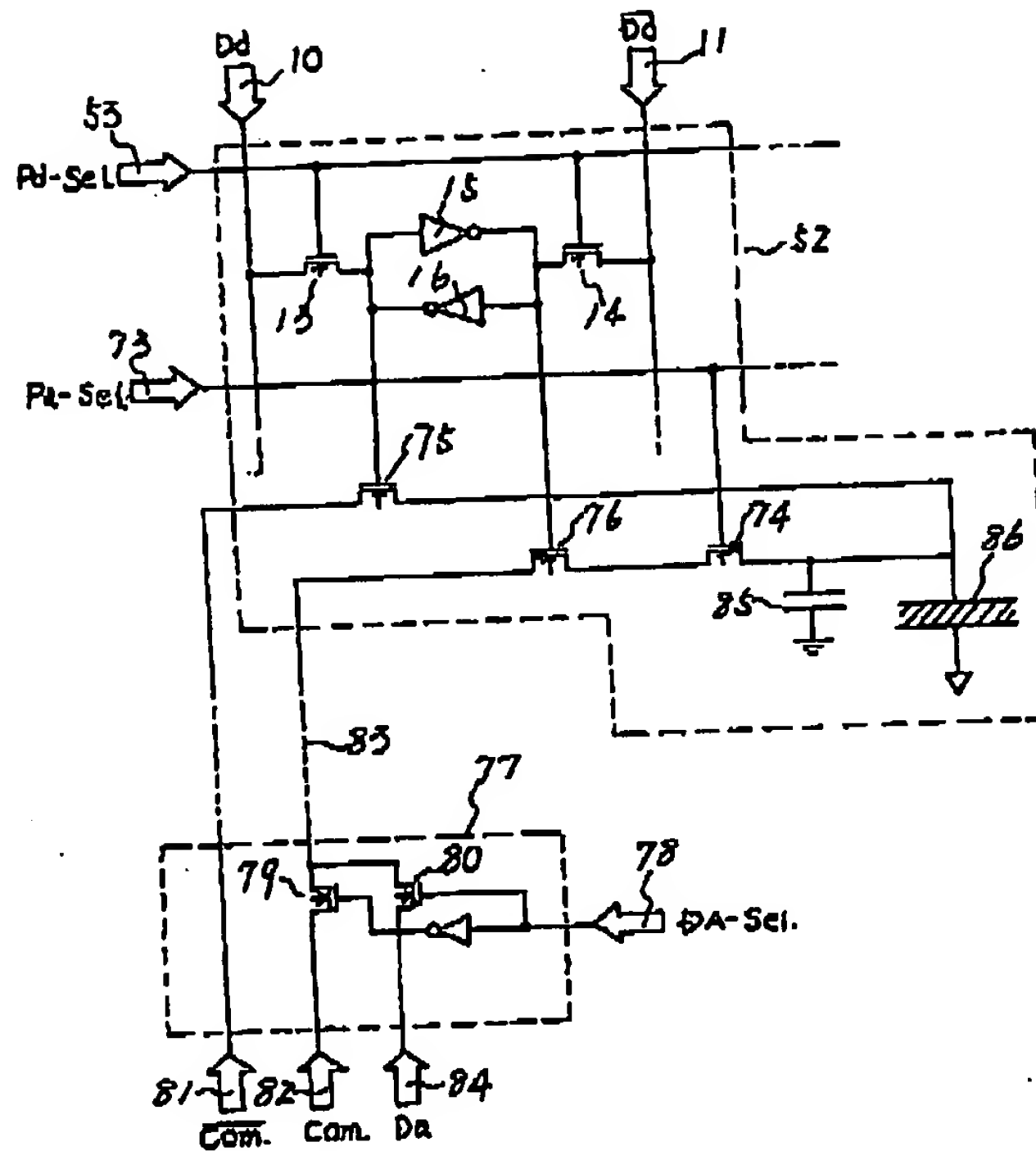
	I	II	III	IV
DA-Sel.	0	0	1	1
Pa-Sel.	0	1	0	1
	デジタル表示状態	—	アナログ表示停止時	アナログ表示継続時

第 6 図

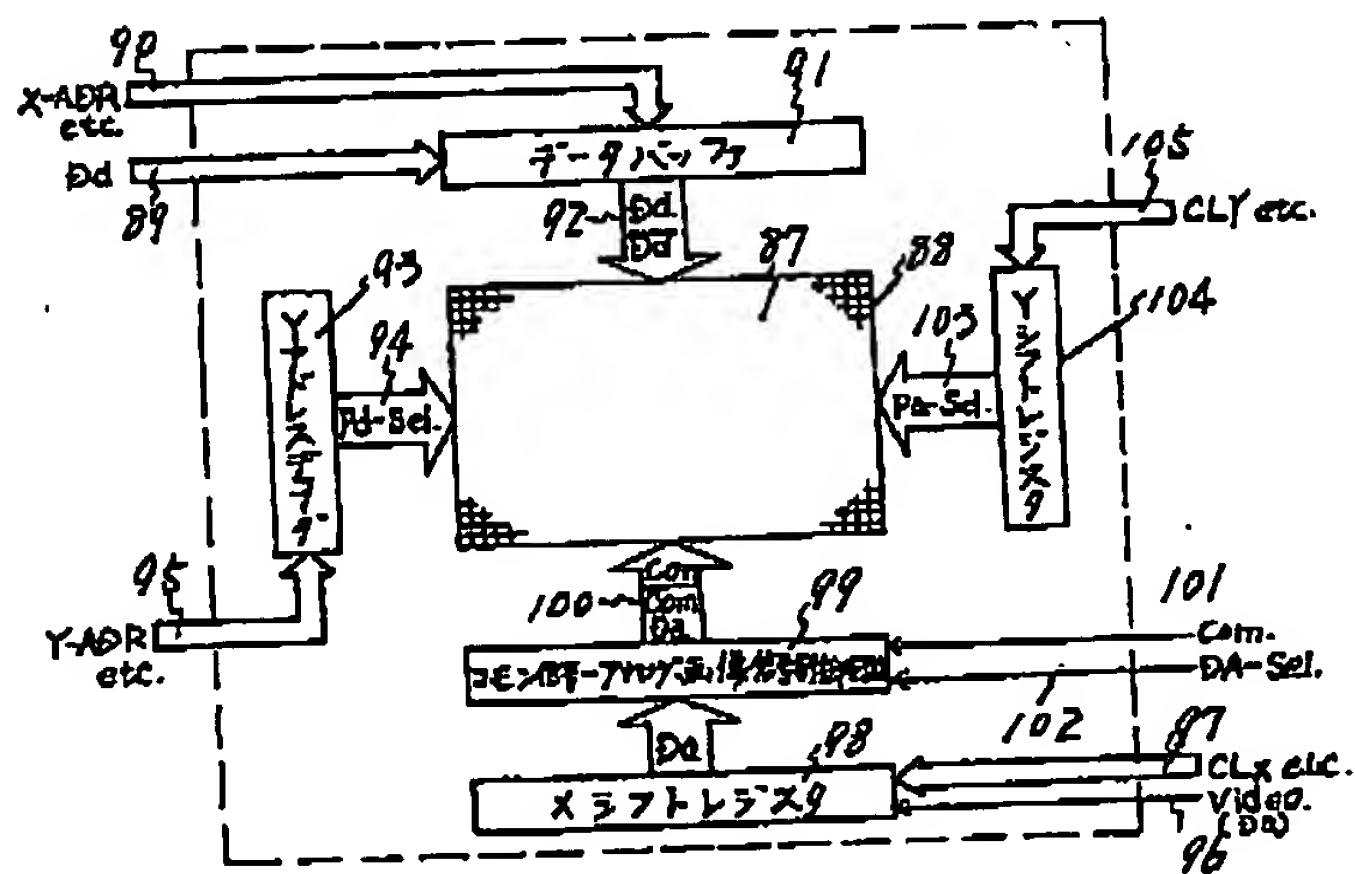


第 7 図

特開昭60-64395(9)



第 8 図



第 9 図

-733-

送信ページ数は 32 ページです。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.